

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-328038

(43)Date of publication of application : 13.12.1996

(51)Int.Cl.

G02F 1/136

H01L 29/786

(21)Application number : 07-156731

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 01.06.1995

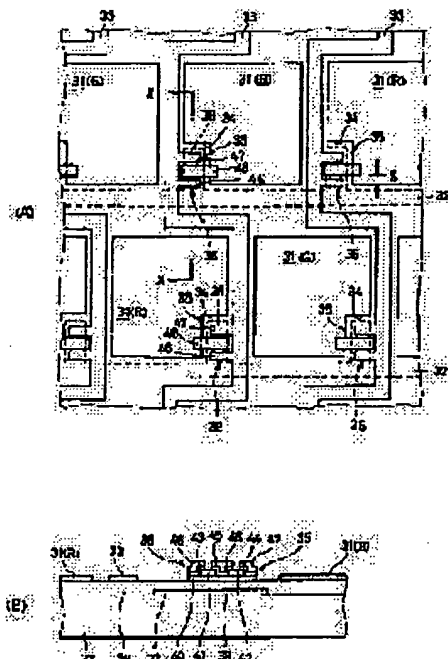
(72)Inventor : KOJIMA HIDETSUGU

(54) ACTIVE MATRIX DISPLAY DEVICE

(57)Abstract:

PURPOSE: To make it possible to increase the opening rate of an active matrix display device provided line symmetrically with two thin-film transistors(TFTs) for one pixel electrode in order to maintain always the specified area of the overlap parts of source electrodes and gate electrodes even if misalignment arises in the case of forming the TFTs.

CONSTITUTION: The source electrodes of the two TFTs 35, 36 arranged in a notch 34 at one corner part of the pixel electrode 31 are formed commonly and the common source electrode 48 is connected to the pixel electrode 1. In such a case, the common source electrode 48 is merely necessitated to be projected only to the one side of the two thin-film transistors 35, 36 and, therefore, the occupying area of the two TFTs 35, 36 may be made smaller. The part contributing to the opening rate of the pixel electrode 31 is increased by arranging the two TFTs 35, 36 in the notch 34 at the one corner part of the pixel electrode 31.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-328038

(43) 公開日 平成8年(1996)12月13日

(51) IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 29/786			H 0 1 L 29/78	6 1 3 Z 6 1 6 T

審査請求 未請求 請求項の数8 F D (全 7 頁)

(21) 出願番号 特願平7-156731

(22) 出願日 平成7年(1995)6月1日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 小島 英嗣

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

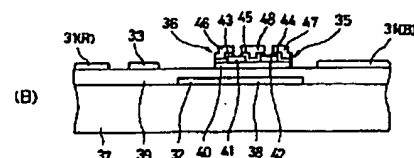
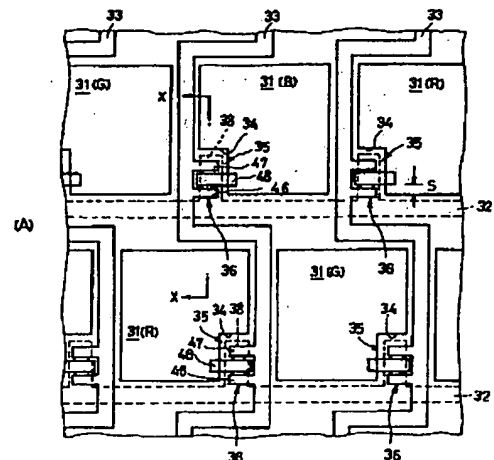
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【要約】

【目的】 薄膜トランジスタを形成する際にアラインメントずれが生じて、ソース電極とゲート電極の重なり部の面積を常に一定とするために、1つの画素電極に対して2つの薄膜トランジスタを線対称的に設けたアクティブマトリクス表示装置において、開口率を高めることができるようにする。

【構成】 画素電極31の1つの角部の切欠部34に配置された2つの薄膜トランジスタ35、36のソース電極を共通化して該共通ソース電極48を画素電極31に接続する。この場合、2つの薄膜トランジスタ35、36の一方側にのみ共通ソース電極48を突出させればよく、したがって2つの薄膜トランジスタ35、36の占有面積を小さくすることができる。また、2つの薄膜トランジスタ35、36を画素電極31の1つの角部の切欠部34に配置することにより、画素電極31の開口率に寄与する部分を大きくすることができる。



【特許請求の範囲】

【請求項1】 1つの画素電極に対して少なくとも2つの薄膜トランジスタを設けたアクティブマトリクス表示装置において、

前記画素電極の1つの角部に設けられた切欠部に前記2つの薄膜トランジスタを配置するとともに、前記2つの薄膜トランジスタのソース電極を共通化して該共通ソース電極を前記画素電極に接続したことを特徴とするアクティブマトリクス表示装置。

【請求項2】 前記各薄膜トランジスタは前記共通ソース電極の両側にそれぞれ配置されたドレイン電極を有し、かつ前記共通ソース電極及び前記2つのドレイン電極はゲートラインに平行に配置されていることを特徴とする請求項1記載のアクティブマトリクス表示装置。

【請求項3】 前記各薄膜トランジスタは前記共通ソース電極の両側にそれぞれ配置されたドレイン電極を有し、かつ前記共通ソース電極及び前記2つのドレイン電極はゲートラインに直交する方向に配置されていることを特徴とする請求項1記載のアクティブマトリクス表示装置。

【請求項4】 前記2つの薄膜トランジスタは、前記ゲートラインから引き出された共通ゲート電極を有することを特徴とする請求項2または3記載のアクティブマトリクス表示装置。

【請求項5】 1つの画素電極に対して2つの薄膜トランジスタを線対称的に設けたアクティブマトリクス表示装置において、

前記画素電極の1つの角部に設けられた切欠部に少なくとも前記2つの薄膜トランジスタを配置するとともに、前記2つの薄膜トランジスタの各ソース電極を同一側で前記画素電極に接続したことを特徴とするアクティブマトリクス表示装置。

【請求項6】 前記2つの薄膜トランジスタは前記2つのソース電極の間に配置された1つの共通ドレイン電極を有し、かつ前記2つのソース電極及び前記共通ドレイン電極はゲートラインに平行に配置されていることを特徴とする請求項5記載のアクティブマトリクス表示装置。

【請求項7】 前記2つの薄膜トランジスタは前記2つのソース電極の間に配置された1つの共通ドレイン電極を有し、かつ前記2つのソース電極及び前記共通ドレイン電極はゲートラインに直交する方向に配置されていることを特徴とする請求項5記載のアクティブマトリクス表示装置。

【請求項8】 前記2つの薄膜トランジスタは、前記ゲートラインから引き出された共通ゲート電極を有することを特徴とする請求項6または7記載のアクティブマトリクス表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はアクティブマトリクス表示装置に関し、特に、1つの画素電極に対して2つの薄膜トランジスタを線対称的に設けたアクティブマトリクス表示装置に関する。

【0002】

【従来の技術】 アクティブマトリクス表示装置には、R（赤）、G（緑）、B（青）の各カラーフィルタ要素及びそれに対応する各画素電極の配列の仕方によりいくつかの種類があるが、そのうちの1つとして、デルタ配列と呼ばれるものがある。このデルタ配列のアクティブマトリクス表示装置では、1つの画素を構成するR、G、Bの3つの画素電極が正三角形（ギリシャ文字Δ）の各頂点に対応する位置に配置されている関係から、ゲートラインは左右方向に直線状に配置されているが、ドレインラインは上下方向に蛇行して配置されている。

【0003】 図6（A）及び（B）は従来のこのようなアクティブマトリクス表示装置の一例の一部を示したものである（例えば、特開平4-3124号公報参照）。1つの画素を構成する3つの画素電極1（R）、1

20 （G）、1（B）は正三角形の各頂点に対応する位置に配置され、ゲートライン2は上下の画素電極1間において左右方向に直線状に配置され、ドレインライン3は上下の画素電極1間において左右方向に蛇行して配置されている。そして、画素電極1の上辺中央部が方形状に切り欠かれ、この切欠部4に2つの薄膜トランジスタ5、6が左右方向に線対称的に設けられている。すなわち、1つの画素電極1に対して2つの薄膜トランジスタ5、6が左右方向に線対称的に設けられているが、その理由については後で説明する。

30 【0004】 次に、2つの薄膜トランジスタ5、6の構成について説明する。ガラス基板7上に設けられたゲートライン2から、1つの画素電極1に対して、2つのゲート電極8、9が直角に引き出されている。ゲート電極8、9上にはゲート絶縁膜10を介してアモルファスシリコン等からなる半導体層11、12が設けられている。半導体層11、12上の中央部にはチャネル保護膜13、14が設けられている。半導体層11、12及びチャネル保護膜13、14上の左右両側にはオーミックコンタクト層15、16、17、18が設けられている。オーミックコンタクト層15、16上にはソース電極19及びドレイン電極20が設けられ、オーミックコンタクト層17、18上にはドレイン電極21及びソース電極22が設けられている。ドレイン電極20、21はその間に設けられた共通電極23を介してドレインライン3に接続され、ソース電極19、22は切欠部4の左右両側における画素電極1に接続されている。

【0005】 ここで、1つの画素電極1に対して2つの薄膜トランジスタ5、6を設ける理由について説明する。図6（A）に示すように、左右方向に蛇行して配置された1つのドレインライン3に対して、各画素電極1

(R)、1 (G)、1 (B) の 2 つの薄膜トランジスタ 5 と薄膜トランジスタ 6 はその配置がほぼ線対称である。このため、これら薄膜トランジスタ 5、6 を形成する際のフォトリソグラフィのマスクが左右方向にずれた場合、ソース電極 1 9 ゲート電極 8 との重合部分およびソース電極 2 2 とゲート電極 9 との重合部分は、一方の面積が増大し、他方の面積は同じ量だけ減少する。すなわち、各画素電極 1 (R)、1 (G)、1 (B) に接続された各薄膜トランジスタ 5、6 におけるソース・ゲート電極間の合計の寄生容量は同じとなり、同一の特性を有する。

【0006】これに対して、1 つの画素電極に対して 1 つの薄膜トランジスタを設けた場合には、上側の画素電極におけるソース・ゲート電極間の寄生容量と下側の画素電極におけるソース・ゲート電極間の寄生容量とが異なることとなり、ひいては光学特性に差が生じ、表示品位が悪化することになる。以上のように、フォトリソグラフィのマスクが左右方向にずれても、ソース・ゲート電極間の寄生容量を常に一定とすることができることが、1 つの画素電極 1 に対して 2 つの薄膜トランジスタ 5、6 を設ける理由である。

【0007】

【発明が解決しようとする課題】しかしながら、従来のこのようなアクティブマトリクス表示装置では、2 つの薄膜トランジスタ 5、6 のソース電極 1 9、2 2 を切欠部 4 の左右両側における画素電極 1 に接続しているので、2 つの薄膜トランジスタ 5、6 の左右両側にソース電極 1 9、2 2 が突出することとなり、したがって 2 つの薄膜トランジスタ 5、6 の占有面積が大きくなり、開口率が低下するという問題があった。また、例えば下側の画素電極 1 (R) について見ると、右側の薄膜トランジスタ 6 とドレインライン 3 との間には、右側のソース電極 2 2 と接続される画素電極 1 (R) を設ける必要があるため、2 つの薄膜トランジスタ 5、6 の配置位置を右側にずらしようとしても限界がある。しかるに、ドレインライン 3 近傍における画素電極 1 (R) は一般にブラックマスクによって覆われるので、右側のソース電極 2 2 と接続される部分における画素電極 1 (R) が開口率に寄与しなくなり、この結果画素電極 1 (R) の開口率に寄与する部分が減少し、したがってこれによっても開口率が低下するという問題があった。この発明の目的は、開口率を高めることができるアクティブマトリクス表示装置を提供することにある。

【0008】

【課題を解決するための手段】請求項 1 記載の発明は、1 つの画素電極に対して少なくとも 2 つの薄膜トランジスタを設けたアクティブマトリクス表示装置において、前記画素電極の 1 つの角部に設けられた切欠部に前記 2 つの薄膜トランジスタを配置するとともに、前記 2 つの薄膜トランジスタのソース電極を共通化して該共通ソー

ス電極を前記画素電極に接続したものである。請求項 5 記載の発明は、1 つの画素電極に対して 2 つの薄膜トランジスタを線対称的に設けたアクティブマトリクス表示装置において、前記画素電極の 1 つの角部に設けられた切欠部に少なくとも前記 2 つの薄膜トランジスタを配置するとともに、前記 2 つの薄膜トランジスタの各ソース電極を同一側で前記画素電極に接続したものである。

【0009】

【作用】この発明によれば、2 つの薄膜トランジスタの共通ソース電極または 2 つのソース電極を一の側で画素電極に接続しているので、2 つの薄膜トランジスタの一方側にのみソース電極が突出することとなり、この結果 2 つの薄膜トランジスタの占有面積を小さくすることができ、したがって開口率を高めることができる。また、2 つの薄膜トランジスタの共通ソース電極または 2 つのソース電極を一の側で画素電極に接続することにより、2 つの薄膜トランジスタを画素電極の 1 つの角部に設けられたほぼ方形の切欠部に配置することができることとなり、この結果画素電極の開口率に寄与する部分を大きくすることができ、したがってこれによっても開口率を高めることができる。

【0010】

【実施例】図 1 (A) 及び (B) はこの発明の第 1 実施例におけるアクティブマトリクス表示装置の要部を示したものである。この場合も、デルタ配列であって、1 つの画素を構成する 3 つの画素電極 3 1 (R)、3 1 (G)、3 1 (B) は正三角形の各頂点に対応する位置に配置され、ゲートライン 8 2 は上下の画素電極 3 1 間において左右方向に直線状に配置され、ドレインライン 3 3 は上下の画素電極 3 1 間において左右方向に蛇行して配置されている。そして、画素電極 3 1 の下辺のドレインライン 3 3 側における端部 (右下角部または左下角部) が方形に切り欠かれ、この切欠部 3 4 に 2 つの薄膜トランジスタ 3 5、3 6 が上下方向に線対称的に設けられている。

【0011】次に、2 つの薄膜トランジスタ 3 5、3 6 の構成について説明する。ガラス基板 3 7 上に設けられたゲートライン 3 2 から、1 つの画素電極 3 1 に対して、1 つの共通ゲート電極 3 8 が直角に引き出されている。共通ゲート電極 3 8 上にはゲート絶縁膜 3 9 を介してアモルファスシリコン等からなる半導体層 4 0 が設けられている。半導体層 4 0 上の所定の 2 個所にはチャネル保護膜 4 1、4 2 が設けられている。半導体層 4 0 及びチャネル保護膜 4 1、4 2 上の図 1 (B) における左右両側及び中央部にはオーミックコンタクト層 4 3、4 4、4 5 が設けられている。オーミックコンタクト層 4 3、4 4 上にはドレイン電極 4 6、4 7 が設けられ、オーミックコンタクト層 4 5 上には共通ソース電極 4 8 が設けられている。ドレイン電極 4 6、4 7 はドレインライン 3 3 に接続され、共通ソース電極 4 8 は切欠部 3 4

のドレインライン33と反対側における画素電極31に接続されている。

【0012】すなわち、2つの薄膜トランジスタ35、36の各ゲート電極は1つの共通ゲート電極38からなり、各半導体層は連続して形成された1つの半導体層40からなり、各ソース電極は1つの共通ソース電極48からなっている。また、共通ソース電極48及び2つのドレイン電極46、47は、ゲートライン32に平行に配置され、つまりゲートライン32から直角に引き出された共通ゲート電極38に直交して配置されている。この場合、共通ソース電極48の共通ゲート電極38からドレインライン33側に突出する突出長さは、共通ソース電極48と共通ゲート電極38の上下方向への起こり得る最大のアラインメントずれよりも大きくなるように設定されている。

【0013】ところで、図1(A)に示すように、各画素電極31(R)、31(G)、31(B)に接続された各薄膜トランジスタ35、36は、その共通ソース電極48、ドレイン電極46、47を含み全体が共通ゲート電極38に重合している。このため、薄膜トランジスタ35、36を形成する際のフォトリソグラフィのマスクが上下方向にずれても、共通ソース電極48と共通ゲート電極38との重合面積は変化しない。また、フォトリソグラフィのマスクが左右方向にずれた場合は、チャネル方向と直角方向のずれであるから特性上の変化はない。したがって、各画素電極31(R)、31(G)、31(B)に接続された各薄膜トランジスタ35、36の特性は一定である。

【0014】また、この第1実施例の場合、2つの薄膜トランジスタ35、36の共通ソース電極48を切欠部34のドレインライン33と反対側における画素電極31に接続しているので、2つの薄膜トランジスタ35、36の一方側にのみ共通ソース電極46が突出することとなり、したがって2つの薄膜トランジスタ35、36の占有面積を小さくすることができ、ひいては開口率を高めることができる。しかも、2つの薄膜トランジスタ35、36の各ゲート電極は1つの共通ゲート電極38からなり、各半導体層は連続して形成された1つの半導体層40からなり、各ソース電極は1つの共通ソース電極48からなっている。2つの薄膜トランジスタ35、36の占有面積をより一層小さくすることができ、したがって開口率をより一層高めることができる。

【0015】また、2つの薄膜トランジスタ35、36の共通ソース電極48を画素電極31に接続することにより、2つの薄膜トランジスタ35、36を画素電極31の1つの角部に設けられたほぼ形状の切欠部44に配置することができることとなり、この結果画素電極31の開口率に寄与する部分を大きくすることができ、したがってこれによっても開口率を高めることができる。

さらに、例えば図1(A)に示す状態では、共通ソース

電極48と画素電極31の下辺との間にある程度の間隔Sがあるが、この間隔Sの分だけ、画素電極31に対して2つの半導体チップ35、36を下方にずらしても、ドレイン電極46がゲートライン32と重なるだけで別に問題はなく、したがってこのようにすると、画素電極31の開口率に寄与する部分をさらに大きくすることができ、開口率をより一層高めることができる。

【0016】次に、図2(A)及び(B)はこの発明の第2実施例におけるアクティブマトリクス表示装置の要部を示したものである。これらの図において、図1

(A)及び(B)に示す部分と同一部分には同一の符号を付し、その説明を適宜省略する。この第2実施例では、2つの薄膜トランジスタ35、36はそれぞれソース電極51、52を備えているとともにこれらソース電極51、52間に1つの共通ドレイン電極53を備えている。そして、2つのソース電極51、52及び共通ドレイン電極53は、ゲートライン32に平行に配置され、つまりゲートライン32から直角に引き出された共通ゲート電極38に直交して配置されている。この場合、2つのソース電極51、52の共通ゲート電極38からドレインライン33側に突出する突出長さは、2つのソース電極51、52と共通ゲート電極38の左右方向への起こり得る最大のアラインメントずれよりも大きくなるように設定されている。また、2つのソース電極51、52は、切欠部34のドレインライン33と反対側における画素電極31に接続されている。この第2実施例の場合も、上記第1実施例の場合とほぼ同様の効果を得ることができ、したがってその説明を省略する。

【0017】次に、図3はこの発明の第3実施例におけるアクティブマトリクス表示装置の要部を示したものである。この第3実施例では、基本的には、図1(A)に示す2つの薄膜トランジスタ35、36の部分を反時計方向に90°回転させたものであり、したがって同一部分には同一の符号を付して、その説明を省略する。次に、図4はこの発明の第4実施例におけるアクティブマトリクス表示装置の要部を示したものである。この第4実施例では、基本的には、図2(A)に示す2つの薄膜トランジスタ35、36の部分を反時計方向に90°回転させたものであり、したがって同一部分には同一の符号を付して、その説明を省略する。

【0018】ところで、例えば図1(A)に示す第1実施例では、1つのドレインライン33に画素電極31(B)、31(R)というように異色の画素電極を接続(異色結線)しているが、これに限定されるものではない。例えば、図5に示すように、1つのドレインライン33に画素電極31(R)というように同色の画素電極を接続(同色結線)するようにしてもよい。この場合、図1(A)に示す場合と比較して、ドレインライン33の配置が若干異なるだけであるので、異色結線と同色結線のいずれにも容易に対応することができる。その理由

は、共通ソース電極 48 と 2 つのドレイン電極 46、47 をゲートライン 32 に平行に配置しているからである。したがって、図 2 に示す第 2 実施例を同色結線とする場合も、ドレインライン 33 の配置を若干異ならせるだけでよい。これに対して、図 3 と図 4 に示す第 3 および第 4 実施例を同色結線とする場合には、共通ドレイン電極 53 と 2 つのソース電極 51、52 をゲートライン 32 に直交する方向に配置しているので、例えば図 5 において一点鎖線で示すように、ドレインライン 33 から分岐された分岐ドレインライン 33a を隣接するドレイン

る。

【図面の簡単な説明】

【図 1】 (A) はこの発明の第 1 実施例におけるアクティブマトリクス表示装置の要部の平面図、(B) はその X-X 線に沿う断面図。

【図 2】 (A) はこの発明の第 2 実施例におけるアクティブマトリクス表示装置の要部の平面図、(B) はその X-X 線に沿う断面図。

【図 3】 この発明の第 3 実施例におけるアクティブマトリクス表示装置の要部の平面図。

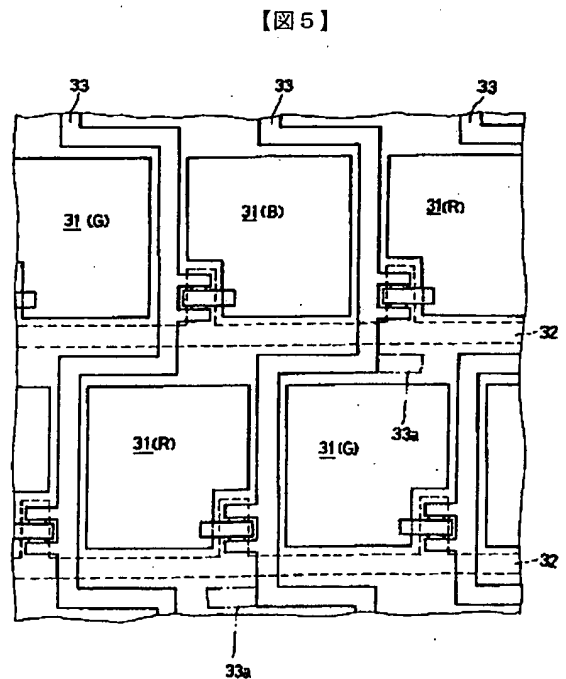
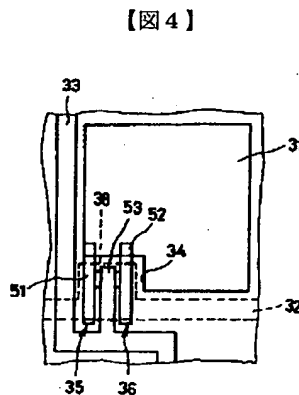
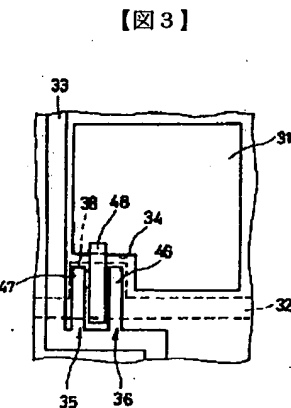
【図 4】 この発明の第 4 実施例におけるアクティブマトリクス表示装置の要部の平面図。

【図 5】 図 1 (A) に示すアクティブマトリクス表示装置を同色結線とした場合の要部の平面図。

【図 6】 (A) は従来のアクティブマトリクス表示装置の一例の一部の平面図、(B) はその X-X 線に沿う断面図。

【符号の説明】

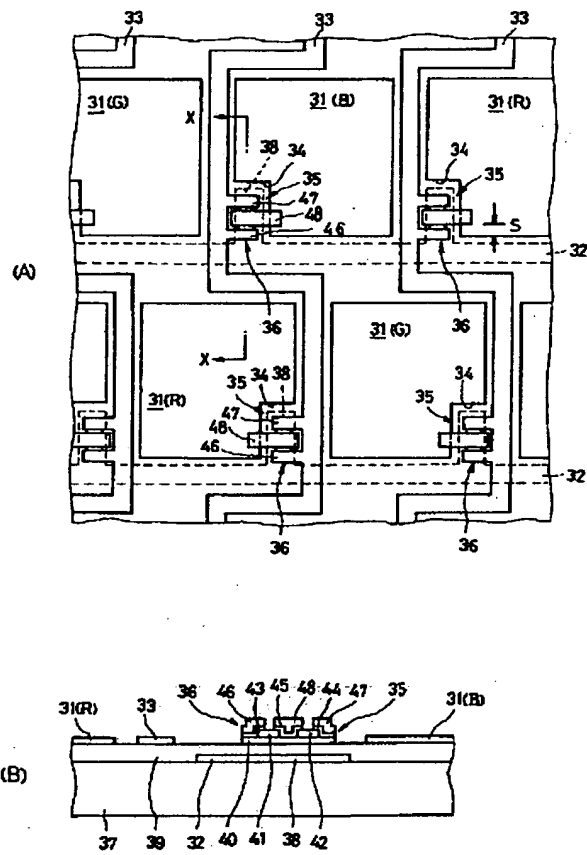
- 31 画素電極
- 32 ゲートライン
- 33 ドレインライン
- 34 切欠部
- 35、36 薄膜トランジスタ
- 38 ゲート電極
- 46、47 ドレイン電極
- 48 共通ソース電極
- 51、52 ソース電極
- 53 共通ドレイン電極



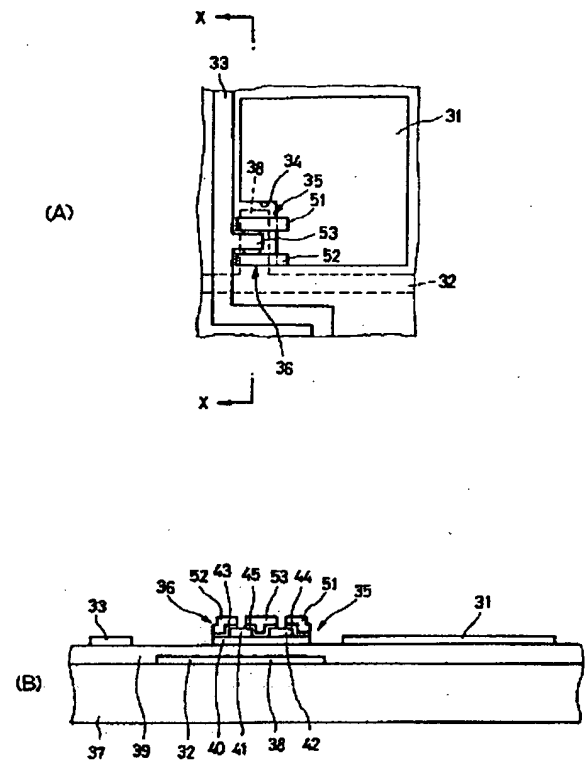
【0019】

【発明の効果】以上説明したように、この発明によれば、2 つの薄膜トランジスタの共通ソース電極または 2 つのソース電極を一の側で画素電極に接続しているの、2 つの薄膜トランジスタの一方側にのみソース電極 20 が突出することとなり、この結果 2 つの薄膜トランジスタの占有面積を小さくすることができ、したがって開口率を高めることができる。また、2 つの薄膜トランジスタの共通ソース電極または 2 つのソース電極を一の側で画素電極に接続することにより、2 つの薄膜トランジスタを画素電極の 1 つの角部に設けられたほぼ方形の切欠部に配置することができることとなり、この結果画素電極の開口率に寄与する部分を大きくすることができ、したがってこれによっても開口率を高めることができ

【図 1】



【図 2】



【図6】

